



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09135238 A**(43) Date of publication of application: **20.05.97**

(51) Int. Cl.

H04L 7/00
G06F 1/12
G06F 13/00
G06F 13/42
G09C 1/00
H04L 25/40

(21) Application number: **07290926**(22) Date of filing: **09.11.95**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **UMEGAKI TAKASHI**
SHIODA MASAHIRO
KINOSHITA MITSURU
NAKAE YUMIKO

(54) **DATA PROCESSOR**

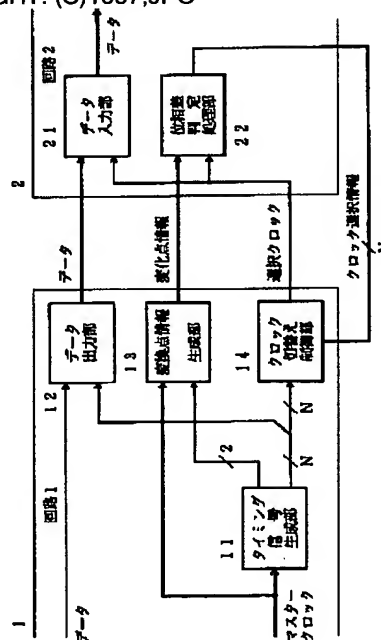
(57) Abstract:

PROBLEM TO BE SOLVED: To enhance the reliability of data reception by a receiver by providing a clock correction circuit correcting a phase of a selected clock transferred as a reception clock and providing a data processor using a 1/2 frequency division clock dividing the transmission clock by a half to reproduce transmission data.

SOLUTION: A data output section 12 of a transmitter applies retiming to data with a clock selected among N phase clocks and provide an output of the result. A change point generating section 13 generates change point information with a timing signal received from a generating section 11. Then a clock changeover control section 14 outputs the same clock as the selected clock. Thus, the data, change point information and selected clock outputted from the transmitter are given to a receiver. In this case, a difference between delay times of transmission and reception of data and change points is selected sufficiently smaller than a consecutive time of the change point information. The reception section generates a clock being a half of a data frequency of an inverted phase by using a clock subjected to 1/2

frequency division and converts parallel data into serial data.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-135238

(43)公開日 平成9年(1997)5月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/00			H 0 4 L 7/00	A
G 0 6 F 1/12			G 0 6 F 13/00	3 5 3 G
	13/00	3 5 3		13/42
	13/42	3 5 0	G 0 9 C 1/00	3 5 0 A
G 0 9 C 1/00		7259-5 J	H 0 4 L 25/40	B
		9199-5 K		
審査請求 未請求 請求項の数 9 O L (全 24 頁) 最終頁に続く				

(21)出願番号 特願平7-290926

(22)出願日 平成7年(1995)11月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 梅垣 隆

大阪府大阪市中央区城見2丁目2番6号

富士通関西デジタル・テクノロジー株式会社内

(72)発明者 塩田 昌宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

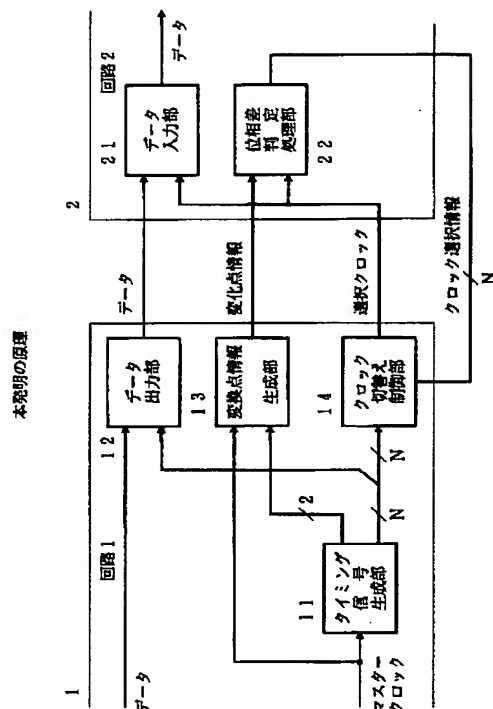
最終頁に続く

(54)【発明の名称】 データ処理装置

(57)【要約】

【課題】 データ処理装置に関し、受信装置で安定にデータを取り込むことができるデータ処理装置を提供する。

【解決手段】 第一は、データ、データの変化点前後にパルスを持つ変化点情報と位相関係を保って送信すると共に、複数のクロックから選択されたクロックとを送信し、受信したクロックによって、受信した変化点情報のパルスの部分を取り込んだ時には、位相差判定情報を特定の論理レベルに設定し、該位相差判定情報の特定の論理レベルによって複数のクロックから選択される一のクロックを変更する構成とし、第二は、データ、該データを処理したクロックの周波数を1/2に分周したデータ周波数の1/2のクロックと位相関係を保って送信し、受信したデータを、該1/2に分周したクロックによって2系統の並列データに変換し、互いに位相が逆である二のデータ周波数の1/2のクロックを生成して該2系統の並列データを直列データに変換する構成とする。



【特許請求の範囲】

【請求項1】 データと、

データの変化点の前後にパルスをもつ変化点情報とを両者の位相関係を保って送信すると共に、複数のクロックから選択された一のクロックとを送信し、

受信したクロックによって、受信した変化点情報のパルスの部分を取り込んだ時には、データの変化点とクロックの変化点の位相が近接していることを示す位相差判定情報を特定の論理レベルに設定し、

該位相差判定情報の特定の論理レベルによって複数のクロックから選択される一のクロックを変更する構成を備えることを特徴とするデータ処理装置。

【請求項2】 データと、

データの変化点付近の、該データの変化点より進んだ位相にパルスをもつホールド判定用変化点情報と、データの変化点付近の、該データの変化点より遅れた位相にパルスをもつセットアップ判定用変化点情報とを三者の位相関係を保って送信すると共に、

複数のクロックから選択された一のクロックとを送信し、

受信したクロックによって、受信したホールド用変化点情報とセットアップ用変化点情報のいずれかのパルスの部分を取り込んだ時には、データの変化点とクロックの変化点の位相が近接していることを示す位相差判定情報を特定の論理レベルに設定し、

ホールド用変化点情報のパルスの部分を取り込んだ場合には、該位相差判定情報の特定の論理レベルによって複数のクロックから選択される一のクロックを進み位相のクロックに変更し、

セットアップ用変化点情報のパルスの部分を取り込んだ場合には、該位相差判定情報の特定の論理レベルによって複数のクロックから選択される一のクロックを遅れ位相のクロックに変更する構成を備えることを特徴とするデータ処理装置。

【請求項3】 請求項1記載のデータ処理装置であって、

前記変化点情報を取り込むクロックの変化点と、前記位相差判定情報の特定の論理レベルによって選択するクロックを変更するクロックの変化点とが、逆向きのクロックの変化点であることを特徴とするデータ処理装置。

【請求項4】 請求項2記載のデータ処理装置であって、

前記変化点情報を取り込むクロックの変化点と、前記ホールド判定用位相差判定情報又はセットアップ用変化点情報の特定の論理レベルによって選択するクロックを変更するクロックの変化点とが、逆向きのクロックの変化点であることを特徴とするデータ処理装置。

【請求項5】 請求項1又は請求項2記載のデータ処理装置であって、

前記複数のクロックのデューティ比が50%であることを特徴とするデータ処理装置。

【請求項6】 データと、

該データを処理したクロックの周波数を1/2に分周したデータ周波数の1/2の周波数のクロックとを両者の位相関係を保って送信し、

受信したデータを該1/2に分周したクロックによって2系統の並列データに変換し、

10 受信した1/2に分周したクロックから生成した、互いに位相が逆である二のデータ周波数の1/2のクロックによって、該2系統の並列データを直列データに変換する構成を備えることを特徴とするデータ処理装置。

【請求項7】 請求項6記載のデータ処理装置であって、

前記受信したデータを該1/2に分周したクロックによって2系統の並列データに変換する構成が、

データと1/2分周クロックを受ける第一の論理積回路と、該データの反転と該1/2分周クロックを受ける第二の論理積回路と、該データと該1/2分周クロックの反転を受ける第三の論理積回路と、該データと該1/2分周クロックの反転を受ける第四の論理積回路と、

該第一の論理積回路の出力をセット端子に受け、該第二の論理積回路の出力をリセット端子に受ける第一のセット・リセット・フリップ・フロップと、該第三の論理積回路の出力をセット端子に受け、該第四の論理積回路の出力をリセット端子に受ける第二のセット・リセット・フリップ・フロップとを備えることを特徴とするデータ処理装置。

【請求項8】 請求項6記載のデータ処理装置であって、

前記受信したデータを該1/2に分周したクロックによって2系統の並列データに変換する構成が、

データと1/2分周クロックを受ける第一の論理積回路と、該データの反転と該1/2分周クロックを受ける第二の論理積回路と、該データと該1/2分周クロックの反転を受ける第三の論理積回路と、該データと該1/2分周クロックの反転を受ける第四の論理積回路と、

40 該第一の論理積回路の出力を遅延、反転させて該第二の論理積回路の第三の入力端子に供給する第一の遅延回路と、該第二の論理積回路の出力を遅延、反転させて該第一の論理積回路の第三の入力端子に供給する第二の遅延回路と、該第三の論理積回路の出力を遅延、反転させて該第四の論理積回路の第三の入力端子に供給する第三の遅延回路と、該第四の論理積回路の出力を遅延、反転させて該第三の論理積回路の第三の入力端子に供給する第四の遅延回路と、

50 該第一の論理積回路の出力をセット端子に受け、該第二の論理積回路の出力をリセット端子に受ける第一のセット・リセット・フリップ・フロップと、該第三の論理積回路の出力をセット端子に受け、該第四の論理積回路の

出力をリセット端子に受ける第二のセット・リセット・フリップ・フロップとを備えることを特徴とするデータ処理装置。

【請求項 9】 請求項 7 記載のデータ処理装置であって、

前記四の遅延回路の遅延時間は、前記データと前記 1/2 分周クロックとの位相差に相当する遅延時間より大きく、前記データの周期から該位相差に相当する遅延時間を減算した遅延時間より小さい遅延時間であることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、データ処理装置に係り、特に、データと共に受信した該データの変化点情報を使用して受信クロックとして転送される選択クロックの位相を補正するクロック位相補正回路を備えて受信データを取り込むデータ処理装置、及び、データと共に受信した送信クロックを 1/2 分周した 1/2 分周クロックを使って受信データを取り込むデータ処理装置に関する。

【0002】 デジタル伝送装置の中に、データと共に送信クロックから生成したクロックの位相情報を有する信号を送信し、該クロックの位相情報を有する信号を使用して受信データを取り込むタイプの伝送装置がある。このような伝送装置においては、正しくデータを受信するために、受信データと該クロックの位相情報を有する信号との位相関係が重要である。

【0003】

【従来の技術】 従来、データと共に送信クロックから生成したクロックの位相情報を有する信号を送信し、該クロックの位相情報を有する信号を使用して受信データを取り込むタイプの伝送装置においては、受信装置において受信データと該クロックの位相情報を有する信号との位相関係を調整してから運用に入ることが行なわれている。

【0004】

【発明が解決しようとする課題】 しかし、上記のような調整に頼っていると、送信装置と受信装置との間の伝送線路に変更がある場合にはその都度受信装置において受信データと該クロックの位相情報を有する信号との位相関係を調整しなおす必要がある。特に、構内通信の場合には頻繁に行なわれるレイアウト変更に対応して上記位相関係の再調整を行なわねばならず、運用管理が煩雑になる。

【0005】 本発明は、かかる問題に鑑み、データと共に受信した該データの変化点情報を使用して受信クロックとして転送される選択クロックの位相を補正するクロック位相補正回路、及び、送信クロックを 1/2 分周した 1/2 分周クロックの位相を補正するクロック位相補正回路を提供することを目的とする。

【0006】

【課題を解決するための手段】 図 1 は、本発明の原理である。図 1 において、1 は送信装置を構成する回路 1、2 は受信装置を構成する回路 2 である。そして、回路 1 はタイミング信号発生部 11、データ出力部 12、変化点情報生成部 13、クロック切替え制御部 14 を備え、回路 2 はデータ入力部 21、位相差判定処理部 22 を備えている。

【0007】 タイミング信号生成部は、データを処理するための N (N は 2 以上の整数) 相のクロックと、変化点情報生成部が変化点情報を生成するための二のタイミング信号を出力する。

【0008】 データ出力部は、該 N 相クロックから選択されたクロックでデータをリタイミングして出力する。変化点情報生成部は、該タイミング信号生成部から受信した二のタイミング信号によって、データの変化点を表示するための変化点情報を生成する。

【0009】 ここで、該選択されたクロックは、該 N 相クロックの中のデータのリタイミングに適した位相のクロックとして選択された 1 相のクロックであり、該二のタイミング信号は、クロックと同一周期のパルスをも有する複数のタイミング信号の中から該データの変化点の前後にパルスを持つものを選択したものである。従って、該選択されたクロックと該二のタイミング信号とは特定の位相関係にある。

【0010】 クロック切替え制御部は、該選択されたクロックと同一のクロックを出力する。上記のようにして送信装置が出力したデータ、変化点情報、選択クロックは受信装置に入力される。この時、少なくともデータと変化点情報の送受間の遅延時間の差は、変化点情報のパルスの継続時間及び一のデータの継続時間より十分に小さくなるようにしておくことが肝要である。

【0011】 データ入力部は、受信データを受信した選択クロックによってリタイミングして受信データを取り込む。位相差判定処理部は、受信した変化点情報を受信した選択クロックによってラッチする。変化点情報の“H”の部分のラッチするということは、データ入力部でデータをリタイミングするクロックの立ち上がりデータの変化点付近にあることを意味し、リタイミングの安定性に問題があるので、クロック選択情報を変化させて送信装置のクロック切替え制御部に帰還する。

【0012】 位相差判定処理部から変化したクロック選択情報を受けたクロック切替え制御部は、該変化したクロック選択情報に対応する、以前の選択クロックとは位相が異なるクロックを N 相のクロックの中から選択して出力する。

【0013】 上記の、位相差判定処理部とクロック切替え制御部の動作は、選択クロックが変化点情報の“H”の部分のラッチしなくなるまで、即ち、選択クロックが変化点情報の“L”の部分のラッチするようになるまで

【0014】このように、選択クロックが変化点情報の“L”の部分をラッチするようになれば、データの変化点から十分余裕がある位相で選択クロックが立ち上がるようになっているので、データ入力部ではデータのリタイミングの安定性が確保されるようになっている。

10

10 【0022】上記の、位相差判定処理部とクロック切替え制御部の動作は、選択クロックが二の変化点情報の“H”の部分を選択しなくなるまで、即ち、選択クロックが二の変化点情報の“L”の部分を選択するようになるまで継続される。

20

30

【0026】送信装置が出力したデータと1/2分周クロックは受信装置に入力される。1:2直列-並列変換部では、受信した1/2分周クロックと該1/2分周クロックの反転とによって受信したデータをラッチして、2系統の並列データに変換する。

【0027】PLLは、受信した1/2分周クロックに同期した2相の1/2分周クロックと、データと等しい周期のクロックとを生成して出力する。2:1並列-直列変換部は、PLLが出力した互いに反対位相の2相の1/2分周クロックを使って、該1:2直列-並列変換部の出力を交互にラッチして元のデータを復元する。

【0028】従って、データと1/2分周クロックを送受信するのみで、受信装置においてデータを取り込むことができる。この際、発明の実施の形態の欄にて詳述するように、受信したデータと受信した1/2分周クロックとの位相のずれを、該1:2直列-並列変換部において補正することによって正しく2系統の並列データに変換し、該2系統の並列データを直列データに変換する際のマージンを確保できるように構成する。

50 【 0 0 2 9 】

【発明の実施の形態】図4は、本発明の実施の形態である。図4において、11はタイミング信号生成部で、n進カウンタ111、デコーダ（図4においてはDECと略記している。図4以降でも同様に略記する。）112、直列入力ー並列出力のシフトレジスタ（タイムチャートを示す図5の中ではSRと略記している。図5以降でも同様に略記する。）113を備えている。12はデータ出力部で、フリップ・フロップ121を備えている。13は変化点情報生成部で、JKフリップ・フロップ131を備えている。14はクロック切替え制御部（図4ではSELと略記している。図4以降でも同様に略記する。）141、フリップ・フロップ142を備えている。21はデータ入力部で、フリップ・フロップ211を備えている。22は位相差判定処理部で、変化点情報をラッチするフリップ・フロップ221、N進カウンタ222、否定回路223を備えている。

【0030】図5は、図4の構成のタイムチャートで、n進カウンタ111は8進カウンタであり、N相クロックは5相クロックであり、N進カウンタ222は5進カウンタであるとして図示している。勿論、本発明は8進カウンタ、5相クロック、5進カウンタに限定されるものではない。以下、図4に示す構成と図5に示すタイムチャートとを用いて、図4の構成の動作について説明する。

【0031】デコーダ112は、8進カウンタのカウンタ値をデコードして、変化点情報生成用の二のタイミング信号とクロック生成用の一のタイミング信号を出力する。図4では、変化点情報生成用タイミング信号は、8進カウンタのカウンタ値7とカウンタ値1をデコードしたものであり、クロック生成用タイミング信号は8進カウンタのカウンタ値7からカウンタ値2をデコードしたものであるとしている。このための設定は、図示していない、例えばマニュアル・スイッチによって行なう。

【0032】5相のクロックは、クロック生成用タイミング信号と、該クロック生成用タイミング信号を4ビットのシフトレジスタで遅延させたクロックとで形成される。図5において、その各々に付記した“000”、“001”、“010”、“011”、“100”は5進カウンタが出力する3ビットのカウンタ値であり、5進カウンタの特定の出力によって選択されるクロックであることを示す。尚、5相のクロックが受信装置へ伝送される訳ではないが、選択クロックとの関係を示すために、受信装置へ仮想的に伝送されたものとして図示している。

【0033】8進カウンタのカウンタ値7をデコードしたタイミング信号はJKフリップ・フロップ131のJ端子に供給されて、該JKフリップ・フロップをセットする。一方、8進カウンタのカウンタ値1をデコードしたタイミング信号はJKフリップ・フロップ131のK

端子に供給されて、該JKフリップ・フロップをリセットする。従って、該JKフリップ・フロップが出力する変化点情報は図5の「変化点情報」に示す如き波形になる。

【0034】さて、図5は、5相クロックのうちクロック“010”が偶々選択されて受信装置に送られている場合を示している。この時には、5進カウンタのカウンタ値は“010”である。

【0035】該クロック“010”は変化点情報をフリップ・フロップ221に取り込むが、図5は該“010”とされたクロックが変化点情報の“H”の部分を取り込む場合を示している。この時には、フリップ・フロップ221が出力する位相差判定情報は“H”に上がる。この“H”に上がった位相差判定情報は5進カウンタ222のイネーブル（図5ではENと表示）端子に供給されているので、該5進カウンタはカウント可能になる。該5進カウンタのクロック（図5ではCと表示）端子には選択クロックを反転したクロックが供給されているので、選択クロックの立ち下がりでカウンタ値が歩進して“011”になる。このカウンタ値は送信装置のセクタ141の選択端子に受信装置と送信装置間の伝搬時間 t_d だけ遅れて供給されて、該セクタは“011”に対応するクロック“011”を選択して出力する。該クロック“011”は、やはり、送信装置と受信装置との間の伝搬時間 t_d だけ遅れて受信装置に到達する。従って、受信装置では、5進カウンタが歩進した後 $2t_d$ 遅れてクロック“010”からクロック“011”に切り替わる。

【0036】切り替わった後のクロック“011”の変化点は、図5においては立ち上がりなので、この立ち上がりで変化点情報を取り込む。この場合には、クロック“011”の立ち上がりは変化点情報の“L”の部分を取り込んでいるので、位相差判定情報は“L”に下がる。この位相差判定情報の“L”が5進カウンタのイネーブル端子に供給されるので、該5進カウンタはカウントを停止し、選択クロックの立ち下がりが入力されてもカウントを歩進しない。従って、該5進カウンタのカウンタ値は“011”のままである。

【0037】選択クロックの次の立ち上がりも、変化点情報の“L”の部分を取り込むので、位相差判定情報も“L”を継続する。以降、何らかの理由でクロックと、データと同位相の変化点情報とに位相シフトがない限り、このままクロック“011”を使ってデータの受信を続ける。

【0038】今は、最初の選択クロック“010”が変化点情報の“H”の部分を取り込む場合を説明したが、最初の選択クロック“010”が変化点情報の“L”の部分を取り込む場合には、位相差判定情報は“L”を継続し、5進カウンタがカウントを停止したままであるので、カウントは歩進されず、従って、選択クロックは変わらない。

【0039】図4の構成は、フリップ・フロップ221には選択クロックの立ち上がりで変化点情報を取り込み、選択クロックの立ち下がりで5進カウンタを歩進させるようになっている。これは、選択されているクロックの立ち上がり位相がデータの変化点付近にある場合、次に選択されるクロックを早く固定するためである。

【0040】図6は、フリップ・フロップが選択クロックの立ち上がりで動作し、カウンタが立ち下がりで動作する時の位相差判定処理部の動作を示す図である。これは図5の「マスター・クロック」、「データ出力部の出力データ」、「8進カウンタのカウント値」を省略して図示したもので、図5と等価な図である。

【0041】従って、詳細な説明は省略するが、クロック選択情報が変わって、新たに選択されたクロック“011”の立ち上がりで変化点情報の“L”を取り込む結果、該クロック“011”の立ち下がりでは位相差判定情報が“L”になっている時に5進カウンタに入力されることになり、以降はクロックの再選択は行なわれない。

【0042】図6は、フリップ・フロップが選択クロックの立ち上がりで動作し、カウンタが立ち上がりで動作する時の位相差判定処理部の動作を示す図である。この場合、フリップ・フロップ221が選択されているクロック“010”の立ち上がりで変化点情報の“H”を取り込むので、位相差判定情報は“H”に上がる。フリップ・フロップ221はクロック“010”の次の立ち上がりでも変化点情報の“H”を取り込むので、位相差判定情報は変化しない。この時同時に5進カウンタ222が歩進するので、カウント値は“011”に変化する。カウント値の歩進の後2進してクロック“010”からクロック“011”に切り替わる。この新たなクロック“011”の立ち上がりでフリップ・フロップ221が変化点情報の“L”を取り込むのと同時に5進カウンタ222が歩進するので、カウント値は“100”になる。カウント値の歩進の後2進してクロック“011”からクロック“100”に切り替わる。クロック“100”の立ち上がりでは変化点情報は“L”であり、又、位相差判定情報も“L”になっているので、以降はクロックの切り替わりがない。

【0043】しかし、図6では、選択クロックの約1周期後には新たに選択されたクロックが固定しているのに対して、図7では、選択クロックの約3周期後に新たなクロックが固定する。このような差があるために5進カウンタは選択クロックの立ち下がりでは歩進させる方が有利である。

【0044】図8は、5相クロックのデューティ比に関する説明図（その1）で、5相クロックのデューティ比が小さい場合の位相差判定処理回路の動作を説明するための図である。

【0045】やはり、クロック“010”が選択されており、その立ち上がりで変化点情報の“H”を取り込む

例で説明する。選択クロックの立ち上がりでフリップ・フロップ221が変化点情報を取り込むので位相差判定情報が“H”に上がる。この位相差判定情報の“H”が5進カウンタのイネーブル端子に供給されて5進カウンタがカウント可能になった後選択クロックの立ち下がりでは該5進カウンタが歩進するが、位相差判定情報の立ち上がりで選択クロックの立ち下がりとの時間差 Δt がカウンタの動作マージンより小さい場合には該5進カウンタはカウントを歩進することができず、クロック選択情報は“010”のままである。

【0046】そして、次のクロックの立ち下がりでは5進カウンタはカウントを歩進し、“011”になり、新しいクロック011が選択される。このクロック011の立ち上がりは変化点情報の“L”を取り込むので、位相差判定情報は“L”に下がる。

【0047】ここで、クロック011の立ち下がり時点では位相差判定情報は“L”になって、5進カウンタはディスエイブルになる筈であるが、図8に Δt_2 で示した時間が動作マージンより小さいと5進カウンタは歩進して“100”になり、クロック100が選択される。そして、図示はしないが、クロック100が選択された後に初めてクロックの位相補正が終了する。即ち、図5の場合と比較して、選択クロックが確定するまでの時間がかかって不利である。

【0048】従って、選択クロックの“H”の継続時間は、フリップ・フロップにおける“H”の取り込みの遅延時間とカウンタの動作マージンの和より大きくななければならない。

【0049】図9は、5相クロックのデューティ比に関する説明図（その1）で、5相クロックのデューティ比が大きい場合の位相差判定処理回路の動作を説明するための図である。

【0050】やはり、クロック“010”が選択されており、その立ち上がりで変化点情報の“H”を取り込む例で説明する。選択クロックの立ち上がりでフリップ・フロップ221が変化点情報を取り込むので位相差判定情報が“H”に上がる。この位相差判定情報の“H”が5進カウンタのイネーブル端子に供給されて5進カウンタがカウント可能になった後選択クロックの立ち下がりでは該5進カウンタが歩進するが、該5進カウンタの歩進後2進した時点が新たなクロック“011”の立ち上がりより後になる場合には、該クロック“011”の立ち上がりによって位相差判定情報をリセットしない内に該クロック“011”の立ち下がりでは該5進カウンタをもう一回歩進させ、カウント値を“100”にしてしまう。カウント値が“100”に歩進された後2進して選択されたクロック“100”が受信装置に供給され、以降はクロック“100”に固定される。従って、図5の場合と比較して選択クロックが固定するまでの時間が長くなって不利である。

【0051】即ち、選択クロックのデューティ比が小さい場合にも、選択クロックのデューティ比が大きい場合にも、選択クロックの切替えに時間がかかることになるので選択クロックのデューティ比が小さいことと大きいことは回避するのが望ましい。従って、選択クロックのデューティ比は50%程度に設定するのが最も望ましいといえる。

【0052】図10は、本発明の第二の実施の形態である。図10において、11aはタイミング信号生成部で、n進カウンタ111、デコーダ112、直列入力・並列出力のシフトレジスタ113を備えている。12はデータ出力部で、フリップ・フロップ121を備えている。13aは変化点情報生成部で、JKフリップ・フロップ131及びJKフリップ・フロップ132を備えている。14はクロック切替え制御部で、N相クロックから一のクロックを選択するセレクタ141、フリップ・フロップ142を備えている。21はデータ入力部で、フリップ・フロップ211を備えている。22aは位相差判定処理部で、変化点情報をラッチするフリップ・フロップ221及びフリップ・フロップ224、否定回路223、論理和回路225、カウント・アップとカウント・ダウンが可能なN進カウンタ226を備えている。

【0053】図10の構成の特徴は、データの変化点より前のホールド・エラーを引き起こす恐れがある時間を示すホールド判定用変化点情報と、データの変化点より後ろのセットアップ・エラーを引き起こす恐れがある時間を示すセットアップ判定用変化点情報とを生成し、選択クロックがホールド判定用変化点情報の“H”を取り込んだ時にはN進カウンタをカウント・ダウンさせ、選択クロックがセットアップ判定用変化点情報の“H”を取り込んだ時にはN進カウンタをカウント・アップさせて、ホールド・エラー及びセットアップ・エラーを避けるように構成している点にある。

【0054】尚、図10においては、JKフリップ・フロップ131とJKフリップ・フロップ132とに2ビットの信号を渡しているにもかかわらず、デコーダ112の変化点情報生成用の出力が3ビットになっているのは、ホールド判定用変化点情報とセットアップ判定用の変化点情報が特定の位相関係にあるためである。一般には、デコーダ112の変化点情報生成用の出力は4ビットである。

【0055】図11は、図10の構成のタイムチャート（その1）で、n進カウンタ111は8進カウンタであり、N相クロックは5相クロックであり、N進カウンタ222は5進カウンタであるとして図示している。勿論、本発明は8進カウンタ、5相クロック、5進カウンタに限定されるものではない。以下、図10に示す構成と図11に示すタイムチャートとを用いて、図10の構成の動作について説明する。

【0056】デコーダ112は、8進カウンタのカウン

ト値をデコードして、変化点情報生成用の二のタイミング信号とクロック生成用の一のタイミング信号を出力する。図11では、変化点情報生成用タイミング信号は、8進カウンタのカウント値7とカウント値1をデコードしたものであり、クロック生成用タイミング信号は8進カウンタのカウント値7からカウント値2をデコードしたものであるとしている。このための設定は、図4には図示していない、例えばマニュアル・スイッチによって行なう。

10 【0057】5相のクロックは、クロック生成用タイミング信号と、該クロック生成用タイミング信号を4ビットのシフトレジスタで遅延させたクロックとで形成される。図11において、その各々に付記した“000”、“001”、“010”、“011”、“100”は5進カウンタが出力する3ビットのカウント値であり、5進カウンタの特定の出力によって選択されるクロックであることを示す。尚、5相のクロックが受信装置へ伝送される訳ではないが、選択クロックとの関係を示すために、受信装置へ仮想的に伝送されたものとして図示している。

20 【0058】8進カウンタのカウント値7をデコードしたタイミング信号はJKフリップ・フロップ132のJ端子に供給されて、該JKフリップ・フロップをセットする。一方、8進カウンタのカウント値1をデコードしたタイミング信号はJKフリップ・フロップ132のK端子に供給されて、該JKフリップ・フロップをリセットする。従って、該JKフリップ・フロップ131が出力する変化点情報は図11の「変化点情報 ホールド」に示す如き波形になる。

30 【0059】又、8進カウンタのカウント値1をデコードしたタイミング信号はJKフリップ・フロップ131のJ端子に供給されて、該JKフリップ・フロップをセットする。一方、8進カウンタのカウント値1をデコードしたタイミング信号はJKフリップ・フロップ131のK端子に供給されて、該JKフリップ・フロップをリセットする。従って、該JKフリップ・フロップ131が出力する変化点情報は図5の「変化点情報 セットアップ」に示す如き波形になる。

40 【0060】さて、図11も、5相クロックのうちクロック“010”が偶々選択されて受信装置に送られている場合を示している。この時には、5進カウンタのカウント値は“010”である。

50 【0061】該クロック“010”はホールド判定用変化点情報をフリップ・フロップ221に取り込むが、図11は該“010”とされたクロックがホールド判定用変化点情報の“H”の部分を取り込む場合を示しているので、フリップ・フロップ224が出力する位相差判定情報は“H”に上がる。この“H”に上がった位相差判定情報は5進カウンタ222のイネーブル（図10ではENと表示）端子に供給されており、同時にカウント・

ダウンを指定する端子（図10ではDNと表示）にも供給されているので、該5進カウンタはカウント・ダウンが可能になる。該5進カウンタのクロック（図10ではCと表示）端子には選択クロックを反転したクロックが供給されているので、選択クロックの立ち下がりでカウント値がダウンして“001”になる。このカウント値は送信装置のセクタ141の選択端子に受信装置と送信装置間の伝搬時間 τ だけ遅れて供給されて、該セクタは“001”に対応するクロック“001”を選択して出力する。該クロック“001”は、やはり、送信装置と受信装置との間の伝搬時間 τ だけ遅れて受信装置に到達する。従って、受信装置では、5進カウンタがカウント・ダウンした後2 τ 遅れてクロック“010”からクロック“001”に切り替わる。

【0062】切り替わった後のクロック“001”の変化点は、図11においては立ち上がりなので、この立ち上がりで変化点情報を取り込む。この場合には、クロック“001”の立ち上がりはホールド判定用変化点情報の“H”の部分を取り込んでいるので、位相差判定情報は“H”を継続する。従って、5進カウンタはクロック“001”の立ち下がりですべてカウントをダウンして“000”になる。該5進カウンタのカウント値が“000”になった後2 τ して、受信装置ではクロック“000”に切り替わる。該クロック“000”の立ち上がりでフリップ・フロップ224はホールド判定用変化点情報の“L”を取り込むので、位相差判定情報は“L”に下がり、5進カウンタのカウントを停止するので、以降は選択クロックはクロック“000”に固定される。

【0063】該クロック“000”の立ち上がりはホールド判定用変化点情報の“H”の部分より進んだ位相にあるので、ホールド・エラーを引き起こさずにデータを取り込むことが保証される。

【0064】図12は、図10の構成のタイムチャート（その2）である。以下、図10に示す構成と図12に示すタイムチャートとを用いて、図10の構成の動作について説明する。

【0065】さて、図12も、5相クロックのうちクロック“010”が偶々選択されて受信装置に送られている場合を示している。この時には、5進カウンタのカウント値は“010”である。

【0066】該クロック“010”はセットアップ判定用変化点情報をフリップ・フロップ221に取り込むが、図12は該“010”とされたクロックがセットアップ判定用変化点情報の“H”の部分を取り込む場合を示しているので、フリップ・フロップ221が出力する位相差判定情報は“H”に上がる。この“H”に上がった位相差判定情報は5進カウンタ222のイネーブル端子に供給されており、同時にカウント・アップを指定する端子にも供給されているので、該5進カウンタはカウント・アップが可能になる。該5進カウンタのクロック

端子には選択クロックを反転したクロックが供給されているので、選択クロックの立ち下がりですべてカウント値がアップして“011”になる。このカウント値は送信装置のセクタ141の選択端子に受信装置と送信装置間の伝搬時間 τ だけ遅れて供給されて、該セクタは“011”に対応するクロック“011”を選択して出力する。該クロック“011”は、やはり、送信装置と受信装置との間の伝搬時間 τ だけ遅れて受信装置に到達する。従って、受信装置では、5進カウンタがカウント・アップした後2 τ 遅れてクロック“010”からクロック“011”に切り替わる。

【0067】切り替わった後のクロック“011”の変化点は、図12においては立ち上がりなので、この立ち上がりで変化点情報を取り込む。この場合には、クロック“011”の立ち上がりはセットアップ判定用変化点情報の“L”の部分を取り込んでいるので、位相差判定情報は“L”に下がる。この位相差判定情報の“L”が該5進カウンタのイネーブル他心に供給されるので、該5進カウンタのカウントを停止し、以降は選択クロックはクロック“011”に固定される。

【0068】該クロック“011”の立ち上がりはセットアップ判定用変化点情報の“H”の部分より遅れた位相にあるので、セットアップ・エラーを引き起こさずにデータを取り込むことが保証される。

【0069】さて、これまでは一貫して、変化点情報を取り込むのは選択クロックの立ち上がり、位相差判定情報を取り込むのは選択クロックの立ち下がりであり、変化点情報は“H”のパルスを持し、位相差判定情報は“H”の時にデータとクロックの位相関係が危険であることを示すものとして説明してきた。しかし、これらの全てを逆転しても、或いはこれらの一部を逆転しても、同一の論理処理を行なう構成は容易に実現できる。従って、本発明はクロックの立ち上がり、立ち下がり、変化点情報及び位相差判定情報の論理レベルにおいて上記の如く限定されるものではない。

【0070】又、クロック選択情報を生成するのにカウンタを使用した例で説明をしたが、クロック選択情報を生成する構成もカウンタに限定されるものではない。例えば、位相差判定情報をシフトレジスタに直列に書き込んでゆき、該シフトレジスタから並列に読み出した信号によってクロックを選択することも可能である。

【0071】更に、クロック選択情報を受信装置で生成して送信装置に渡す例で説明したが、位相差判定情報を送信装置に渡して、送信装置においてクロック選択情報を生成することも当然可能である。寧ろ、後者の方が送信装置と受信装置の間に張る伝送線路の数が少なく済む点で有利である。

【0072】図13は、本発明の第三の実施の形態である。図13において、11はデータ出力部で、フリップ・フロップ111を備えている。15はクロックの周波

数を1/2に分周する1/2分周クロック生成部で、1/2分周器151を備えている。23は1:2直列-並列変換部で、入力信号に対する非反転、反転の組合せが異なる四の論理積回路231、232、233及び234、二のセット・リセット・フリップ・フロップ(図13のタイムチャートである図14ではRS-FFと略記している。)235及び235aを備えている。24は位相ロック・ループ回路(図13ではPLL)で、位相比較器241、電圧制御発振器(図13ではVCO)242、1/2分周器243を備えている。最後に25は2:1並列-直列変換部である。

【0073】送信装置が出力したデータは1:2並列-直列変換部を構成する四の論理積回路に供給され、1/2分周クロック生成部が出力した1/2分周クロックも該二の論理積回路に供給される。これによって、1つおきのデータが一方のセット・リセット・フリップ・フロップに保持され、それとは異なる1つおきのデータがもう一方のセット・リセット・フリップ・フロップに保持され、直列データが2系統の並列データに変換される。

【0074】位相ロック・ループ回路においては、電圧制御発振器はクロックと同じ周波数の信号を生成している。該電圧制御発振器の出力を1/2分周した信号と送信装置が出力した1/2分周クロックとの位相比較を行なって、その結果を電圧制御発振器に帰還するので、該電圧制御発振器の出力は1/2分周クロックに同期したものとなる。1/2分周クロックに同期した電圧制御発振器の出力を1/2分周器243によって周波数を1/2に分周し、互いに反対位相の分周出力を2:1並列-直列変換部に供給する。2:1並列-直列変換部では互いに反対位相の分周出力を使って、前記二のセット・リセット・フリップ・フロップの出力を交互に保持して、元の直列信号に変換する。

【0075】図13の構成の特徴は、上に述べた如く、1/2分周クロックを受けるだけで受信装置がデータを確実に取り込むことができる点にある。図14は、図13の構成のタイムチャートである。

【0076】入力データは論理積回路231、232、233及び234の一方の端子に供給され、1/2分周クロックは該論理積回路231、232、233、及び234のもう一方の入力端子に供給され、該論理積回路231の出力がセット・リセット・フリップ・フロップ235のセット端子(S)に供給され、該論理積回路232の出力が該セット・リセット・フリップ・フロップ235のリセット端子(R)に供給され、該論理積回路233の出力がセット・リセット・フリップ・フロップ235aのセット端子に供給され、該論理積回路234の出力が該セット・リセット・フリップ・フロップ235aのリセット端子に供給される。従って、セット・リセット・フリップ・フロップ235の出力は図14の「RS-FF235の出力」のようになる。即ち、デー

タのA、C、E、・・・がセット・リセット・フリップ・フロップ235に保持される。同様に、セット・リセット・フリップ・フロップ235aの出力は、図14の「RS-FF235aの出力」のように、データのB、D、F、・・・がセット・リセット・フリップ・フロップ235aに保持される。これらを、2:1並列-直列変換部において、図14の「φ1」、「φ2」の如く互いに反対位相で入力の1/2分周クロックに同期したクロックの1/2の周波数のクロックで交互にリタイミングして論理和をとれば、図14の「2:1並一直列変換部の出力」のように、元のデータに復元できる。

【0077】この際、送信装置と受信装置の間の伝送路においてデータと1/2分周クロックの遅延が等しくなるように、両者の伝送路長を等しくすることが肝要である。以下に、その理由を説明する。

【0078】図15は、データと1/2分周クロックとに位相差がある場合の図13の構成の動作を説明する図で、図15(イ)は1/2分周クロックがデータより遅れている場合、図15(ロ)は1/2分周クロックがデータより進んでいる場合の図13の構成の動作を示す図である。

【0079】1/2分周クロックが遅れている場合、データAは該クロックの立ち上がりで該データAの末尾との間で保持される。次のデータBは、該データBの頭のタイミングで1/2分周クロックが“H”であるので、該データBの頭のタイミングで保持される。次のデータCは1/2分周クロックの次の立ち上がりで保持されるので、データBはその頭のタイミングから1/2分周クロックの次の立ち上がりまで保持される。つまり、ひとつおきのデータA、C、E、・・・が保持される時間は1/2分周クロックの遅延分だけ短くなり、ひとつおきのデータB、D、F、・・・が保持される時間は1/2分周クロックの遅延分だけ長くなる形でセット・リセット・フリップ・フロップ235に格納される。本来は、図14のように保持されることを想定しているので、2:1並列-直列変換部で元のデータに復元する時に位相マージンが小さくなる。

【0080】一方、1/2分周クロックが進んでいる場合には、図15の最下に示すように、ひとつおきのデータA、C、E、・・・が保持される時間は本来保持されるべき時間より1/2分周クロックの遅延分だけ短くなり、ひとつおきのデータB、D、F、・・・が1/2分周クロックの遅延分だけ保持される形でセット・リセット・フリップ・フロップ235に格納される。本来は、図14のように保持されることを想定しているので、2:1並列-直列変換部で元のデータに復元する時に、やはり、位相マージンが小さくなる。

【0081】図16は、本発明の第四の実施の形態である。図16において、11はデータ出力部で、フリップ・フロップ111を備えている。15はクロックの周波

数を1/2に分周する1/2分周クロック生成部で、1/2分周器151を備えている。23aは1:2直列-並列変換部で、データと1/分周クロックに対する非反転、反転の組合せが異なる四の論理積回路231a、232a、233a及び234a、二のセット・リセット・フリップ・フロップ235及び235a、四の遅延回路236、236a、236b、236cを備えている。24は位相ロック・ループ回路で、位相比較器241、電圧制御発振器242、1/2分周器243を備えている。最後に25は2:1並列-直列変換部である。

【0082】図16の構成の特徴は、論理積回路231aの出力を遅延回路236を経由して論理積回路232aの入力端子に供給し、論理積回路232aの出力を遅延回路236aを経由して論理積回路231aの入力端子に供給し、論理積回路233aの出力を遅延回路236bを経由して論理積回路234aの入力端子に供給し、論理積回路234aの出力を遅延回路236cを経由して論理積回路233aの入力端子に供給する点にある。尚、何れの遅延回路も論理反転をして出力するようになっている。

【0083】図17は、図16の太い破線で囲んだ部分の動作を説明する図である。1/2分周クロックの

(1)の時間帯では、論理積回路231aの出力(a)と論理積回路232aの出力(b)は“L”である。1/2分周クロックの(1)の時間帯では、論理積回路231aの出力(a)の出力はデータAであり、論理積回路232aの出力(b)はデータAの反転であり、遅延回路236aの出力(c)は1/2分周クロックの

(1)の時間帯での論理積回路232aの出力(b)が遅延したものであるから“H”からデータAに変わり、遅延回路236の出力(d)は1/2分周クロックの

(1)の時間帯での論理積回路231aの出力(a)が遅延したものであるから“H”からデータAの反転に変わる。1/2分周クロックの(3)の時間帯では、論理積回路231aの出力(a)はデータBと“H”である1/2分周クロックと遅延回路236aの出力(c)との論理積で決まってデータAとデータBの論理積となり、論理積回路232aの出力(b)はデータBの反転と“H”である1/2分周クロックと遅延回路236の出力(d)との論理積で決まってデータAの反転とデータBの反転の論理積となる。そして、(a)におけるデータAとデータBの論理積とデータBの論理積が遅延回路236で遅延、反転されて(d)に現れ、(b)におけるデータAの反転とデータBの反転の論理積が遅延回路236aで遅延、反転されて(c)に現れる。その後の時間帯でも同じように(a)乃至(d)の内容を検討すれば、(a)乃至(d)は図17に示すようになる。この内、(a)と(b)が、それぞれ、セット・リセット・フリップ・フロップ235のセット端子とリセット端子に供給される。

【0084】今、データAが“H”であれば、データAの反転は“L”であるので、1/2分周クロックの

(2)の時間帯ではデータAの“H”が該セット・リセット・フリップ・フロップ235に保持される。逆にデータAが“L”であれば、データAの反転は“H”であるので、該セット・リセット・フリップ・フロップ235はリセットされて“L”に保持されるが、これはデータAと同じ内容である。結局、1/2分周クロックの(2)の時間帯ではセット・リセット・フリップ・フロップ235にデータAが保持される。

【0085】1/2分周クロックの(3)の時間帯では、データAとデータBが共に“H”なら、データAとデータBの論理積が“H”になり、データAの反転とデータBの反転の論理積は“L”になるので、セット・リセット・フリップ・フロップ235には“H”が保持されるが、これはデータAと同じ内容である。又、データAとデータBの一方が“L”の時には、データAとデータBの論理積とデータAの反転とデータBの反転の論理積はいずれも“L”となって、セット・リセット・フリップ・フロップ235は前の状態に保持される。更に、データAとデータBの双方が“L”の時にはデータAの反転とデータBの反転の論理積が“H”になり、データAとデータBの論理積が“L”になるので、セット・リセット・フリップ・フロップ235はリセットされて“L”になるが、これはデータAと同じ内容である。結局、1/2分周クロックの(3)の時間帯でもデータAが保持されている。

【0086】1/2分周クロックの(4)の時間帯では、セット・リセット・フリップ・フロップ235のセット端子とリセット端子の双方に“L”が供給されるので、前の保持内容が継続して保持される。従って、この時間帯にもデータAが保持されている。

【0087】以降は同じ繰り返しになるので、結局保持データは図17の最下に示すように、1/2分周クロックとデータの間に位相差がない場合と同じように、ひとつおきのデータが保持されるようになる。即ち、図16の構成によって、データとクロックとの位相差を補正することができる。

【0088】さて、遅延回路の遅延時間には言及しないで動作を説明したが、上記の説明で遅延時間は如何にあるべきかが容易に理解されよう。即ち、1/2分周クロックが遅れて、その“H”の部分データBに重なる時間帯でデータBが保持されないようにする必要があるので、遅延回路の遅延時間は、データと1/2分周クロックの位相差に相当する遅延時間以上で、データAの継続時間からデータAと1/2分周クロックの位相差に相当する遅延時間を減算した遅延時間以下にする必要がある。更にセット・リセット・フリップ・フロップの動作マージンを考慮すると、遅延回路の遅延時間は、データと1/2分周クロックの位相差に相当する遅延時間より

動作マージン分大きいことが望ましく、一のデータの継続時間からデータと1/2分周クロックの位相差に相当する遅延時間を減算した遅延時間より動作マージン分小さくするのが望ましい。

【0089】ところで、上記においては1/2分周クロックがデータより遅れた場合を図示して説明したが、1/2分周クロックがデータより進んでいる場合でも全く同様である。

【0090】尚、受信装置でクロックの1/2の周波数のクロックを生成するのに位相ロック・ループ回路を使用する例で説明したが、データの処理速度が低い場合には位相ロック・ループ回路を使用するまでもなく、受信装置に設置されたクロック生成回路の出力を1/2分周して、該1/2分周されたクロックから所期の位相の互いに逆位相の1/2分周されたクロックを生成しても十分に安定に動作する。

【0091】

【発明の効果】以上詳述した如く、本発明により、データと共に受信した該データの変化点情報を使用して受信クロックとして転送される選択クロックの位相を補正するクロック位相補正回路を備えるデータ処理装置、及び、データと共に受信した、送信クロックを1/2分周した1/2分周クロックを使用して送信データを再生するデータ処理装置が実現され、受信装置におけるデータの取り込みの信頼度が向上される。

【図面の簡単な説明】

【図1】 本発明の原理。

【図2】 本発明の第二の原理。

【図3】 本発明の第三の原理。

【図4】 本発明の実施の形態。

【図5】 図4の構成のタイムチャート。

【図6】 フリップ・フロップが選択クロックの立ち上がりで動作し、カウンタが立ち下がりで動作する時の位相差判定処理部の動作。

【図7】 フリップ・フロップが選択クロックの立ち上がりで動作し、カウンタが立ち上がりで動作する時の位相差判定処理部の動作。

【図8】 5相クロックのデューティ比に関する説明図

(その1)。

【図9】 5相クロックのデューティ比に関する説明図(その2)。

【図10】 本発明の第二の実施の形態。

【図11】 図10の構成のタイムチャート(その1)。

【図12】 図10の構成のタイムチャート(その2)。

【図13】 本発明の第三の実施の形態。

【図14】 図13の構成のタイムチャート。

【図15】 データと1/2分周クロックとに位相差がある場合の図13の構成の動作。

【図16】 本発明の第四の実施の形態。

【図17】 図16の太い破線で囲んだ部分の動作。

【符号の説明】

1 回路1

2 回路2

11 タイミング信号生成部

12 データ出力部

13 変化点情報生成部

14 クロック切替え制御部

21 データ入力部

22 位相差判定処理部

1a 回路1

2a 回路2

11a タイミング信号生成部

12 データ出力部

13a 変化点情報生成部

14 クロック切替え制御部

21 データ入力部

22a 位相差判定処理部

1b 回路1

2b 回路2

12 データ出力部

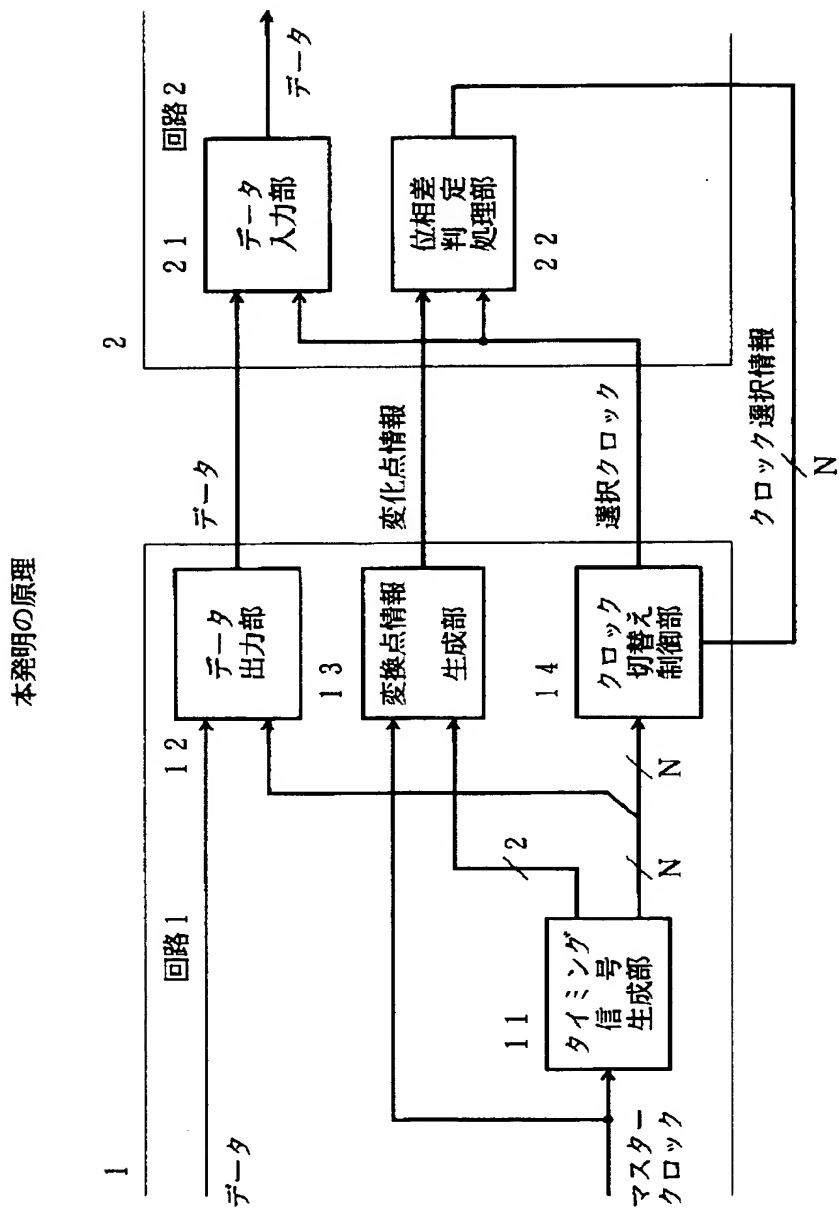
15 1/2分周クロック生成部

23 1:2直列-並列変換部

24 位相ロック・ループ回路

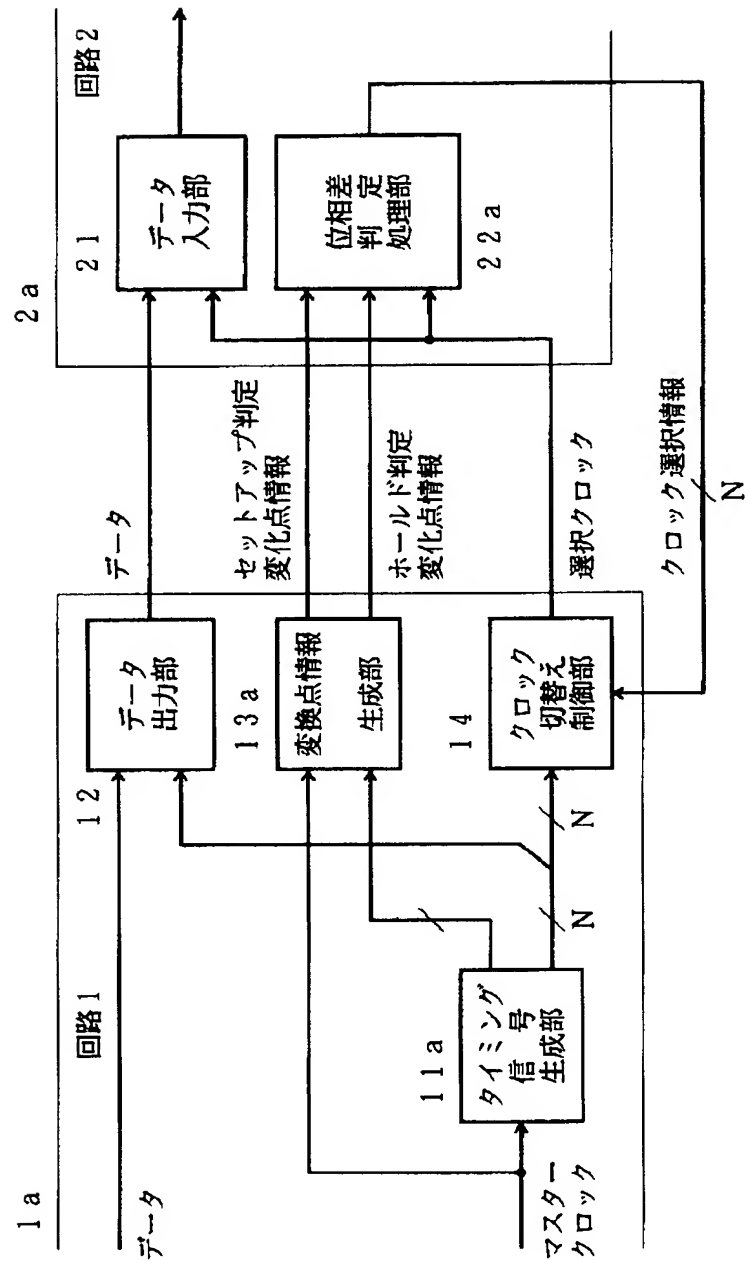
25 2:1並列-直列変換部

【図 1】



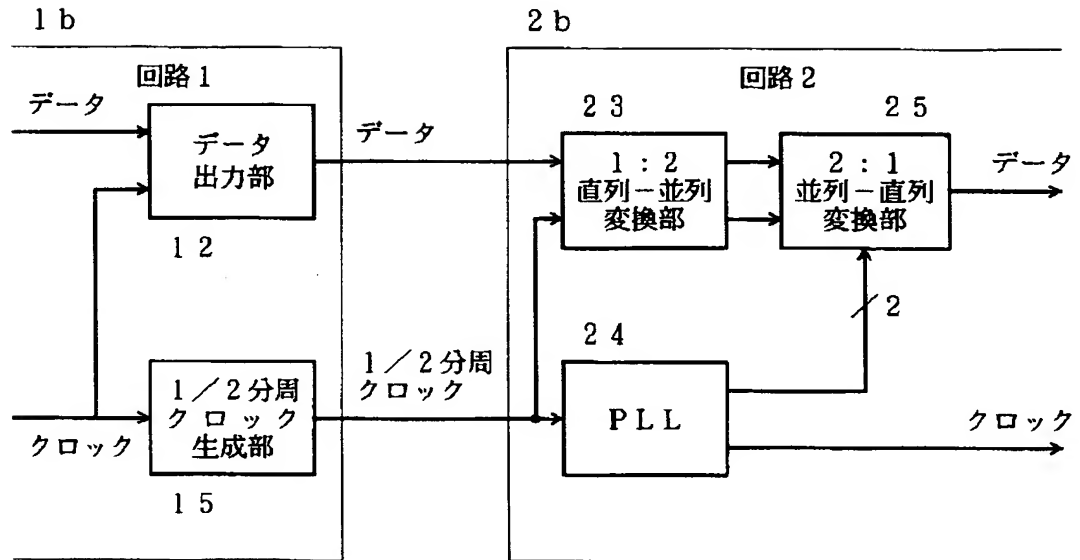
【図 2】

本発明の第二の原理



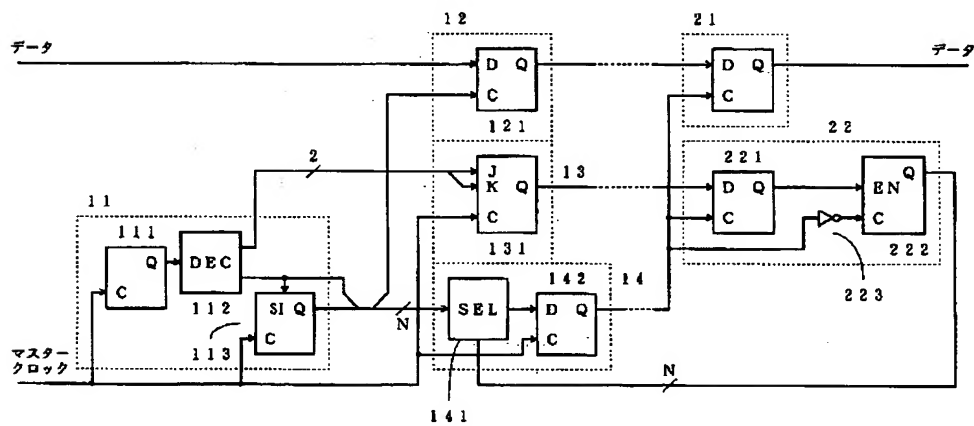
【図 3】

本発明の第三の原理

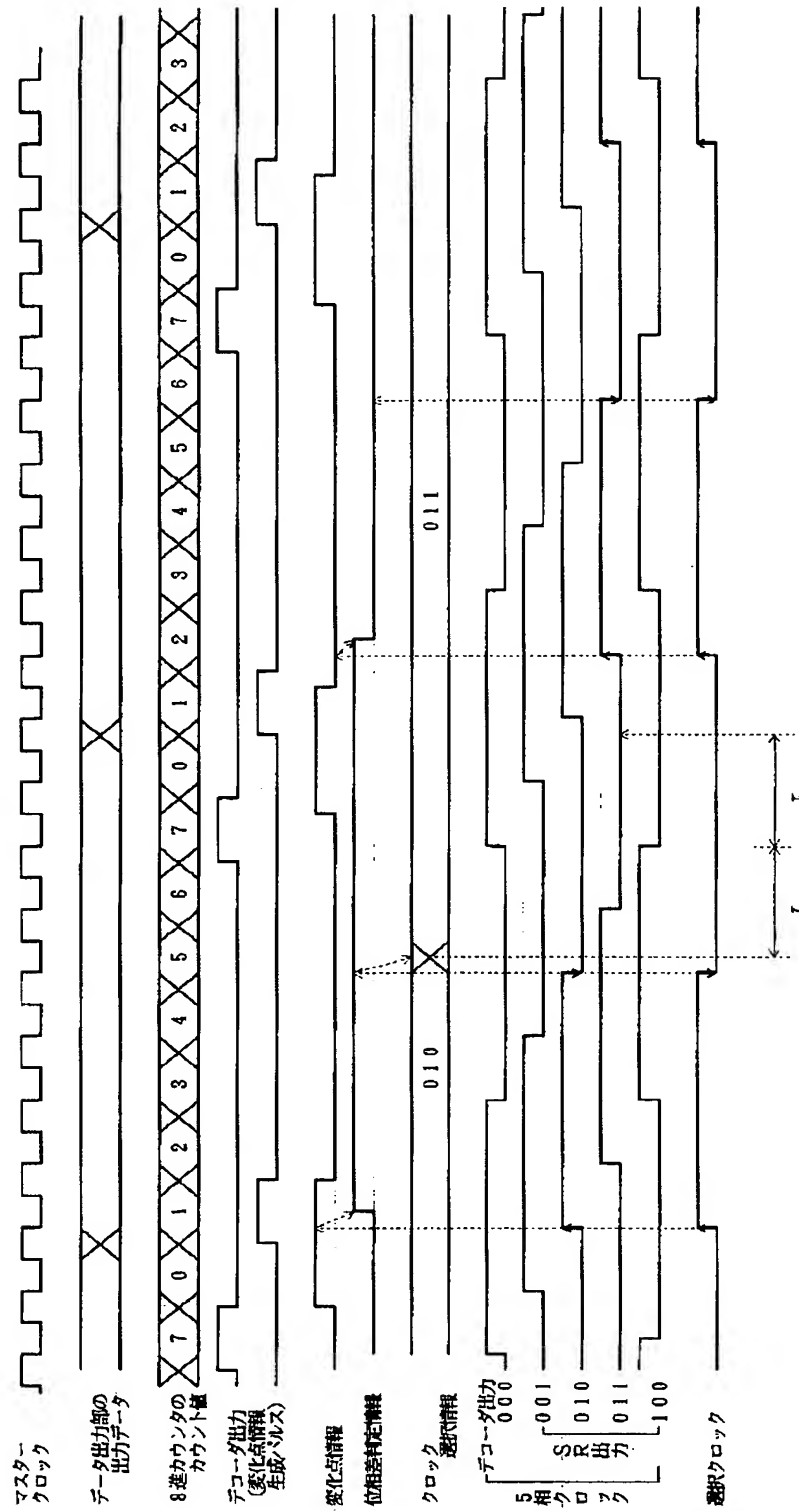


【図 4】

本発明の実施の形態

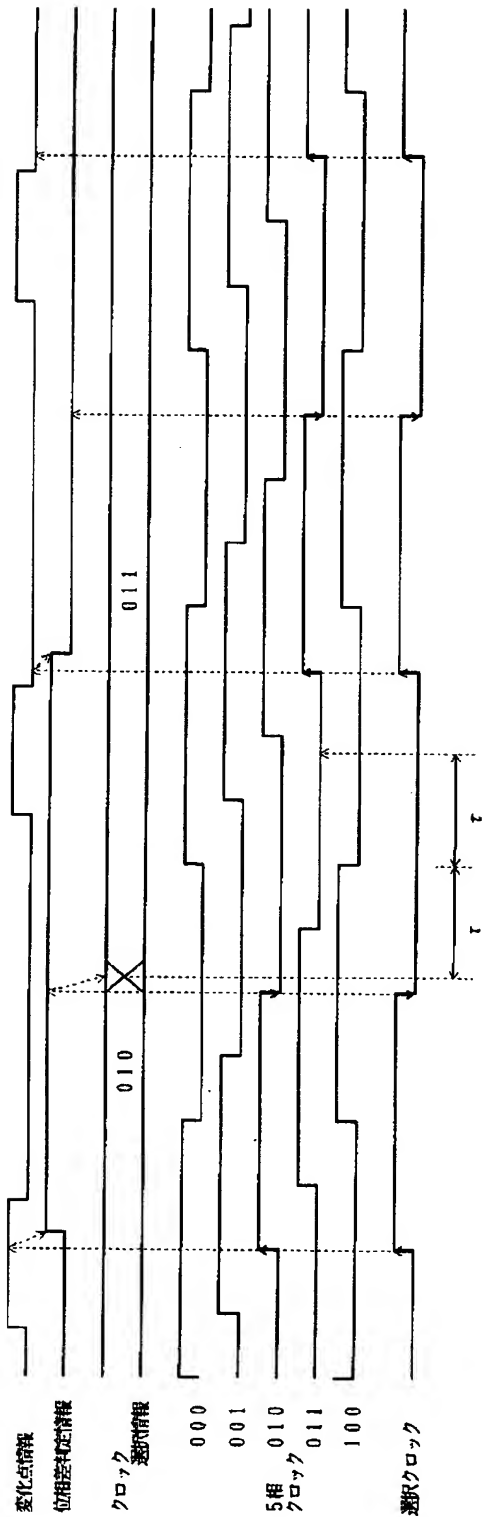


【図 5】



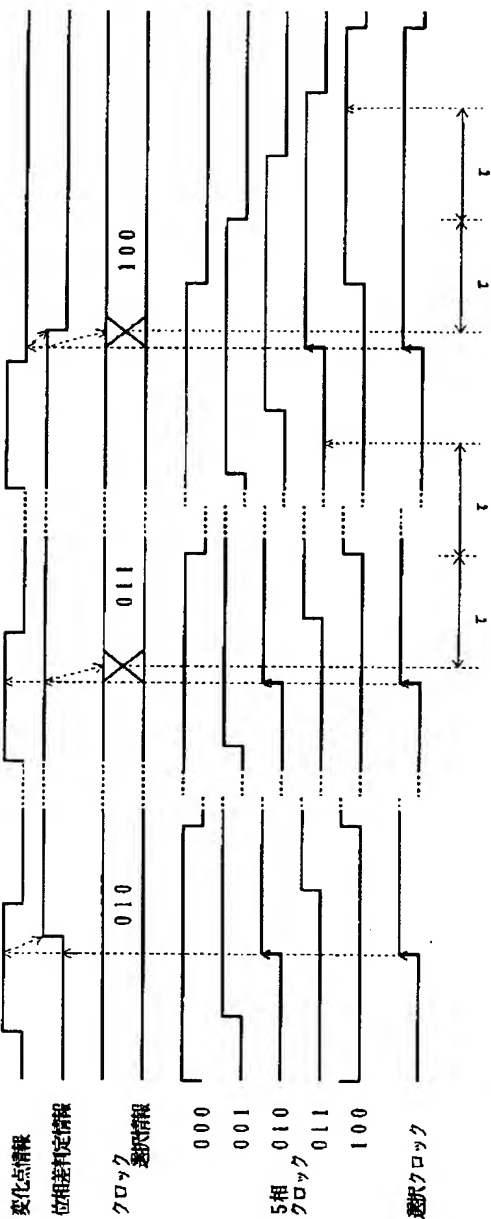
【図6】

フリップ・フロップが選択クロックの立ち上がりで動作し、カウンタが立ち下がりて動作する時の位相差特定処理部の動作



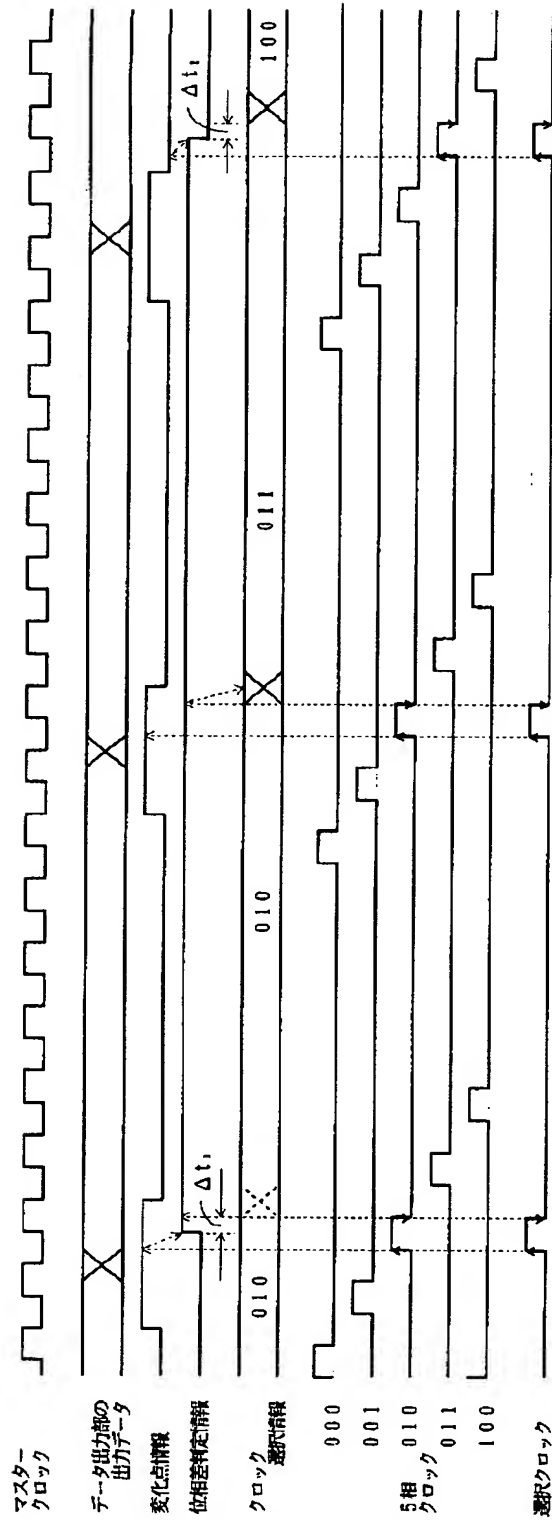
【図7】

フリップ・フロップが選択クロックの立ち上がりで動作し、カウンタが立ち上がりて動作する時の位相差特定処理部の動作



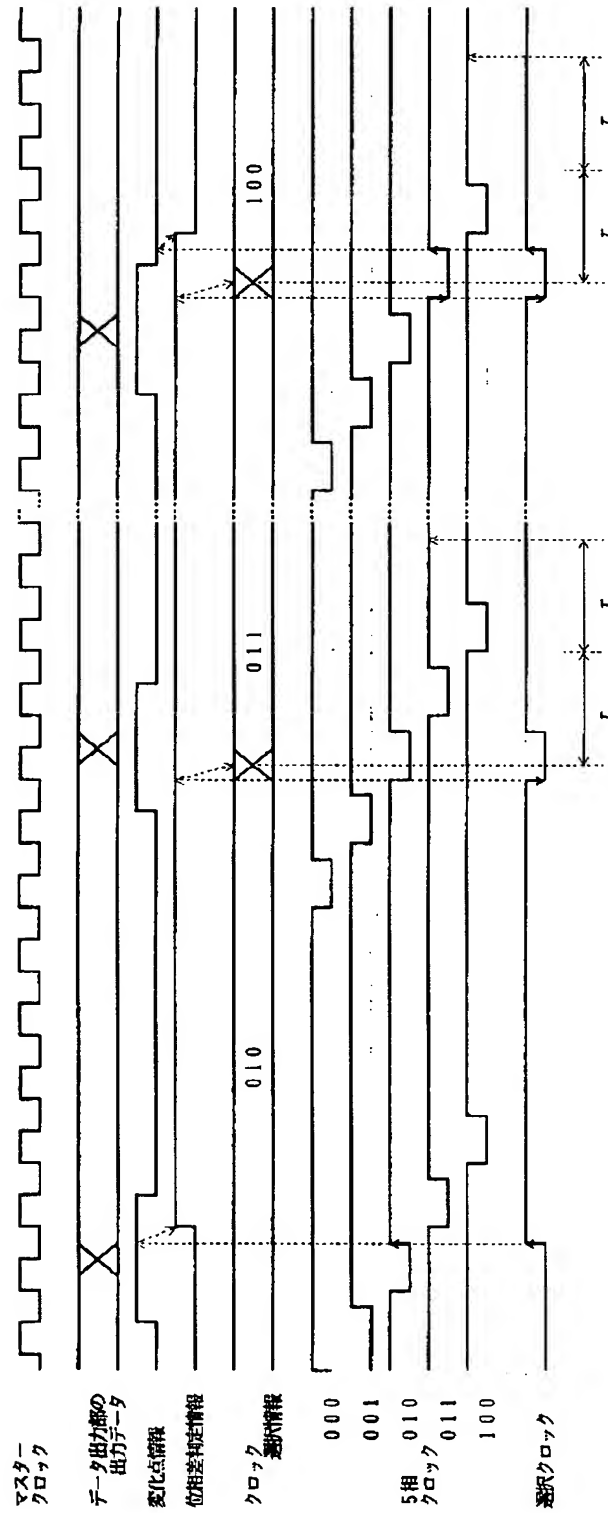
【図 8】

5相クロックのデューティ比に関する説明図 (その1)

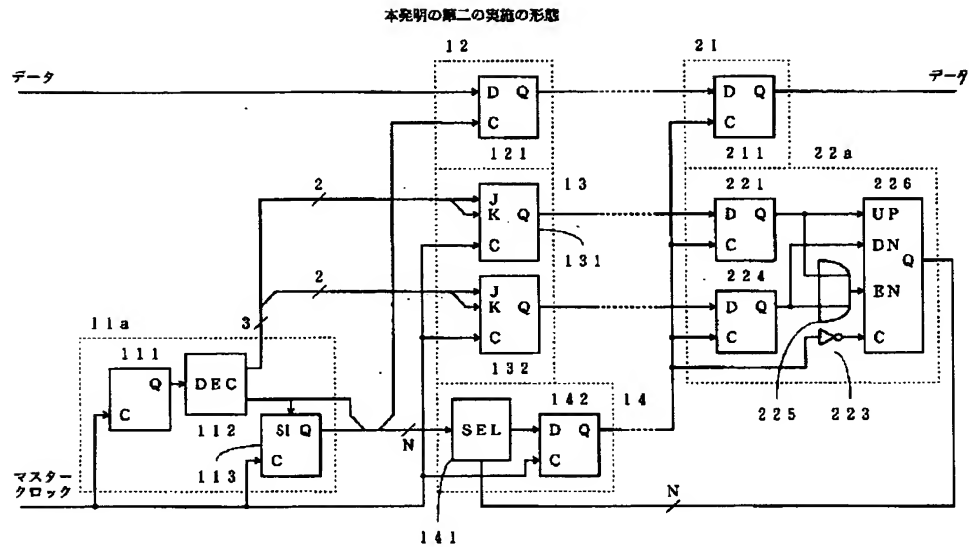


【図9】

5相クロックのデューティ比に関する説明図 (その2)

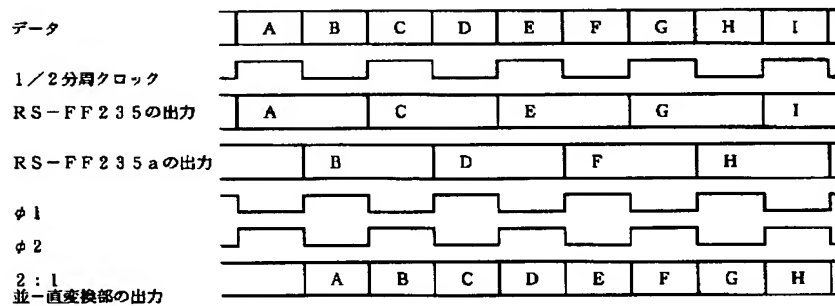


【図10】



【図14】

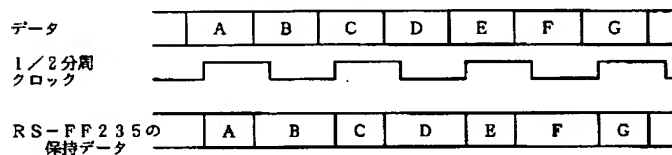
図13の構成のタイムチャート



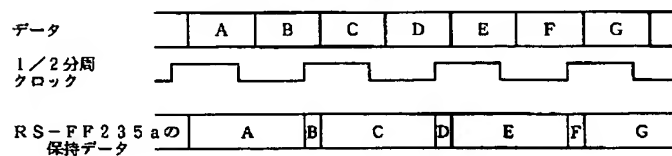
【図15】

データと1/2分周クロックとに位相差がある場合の図13の構成の動作

(イ) 1/2分周クロックがデータより遅れている場合

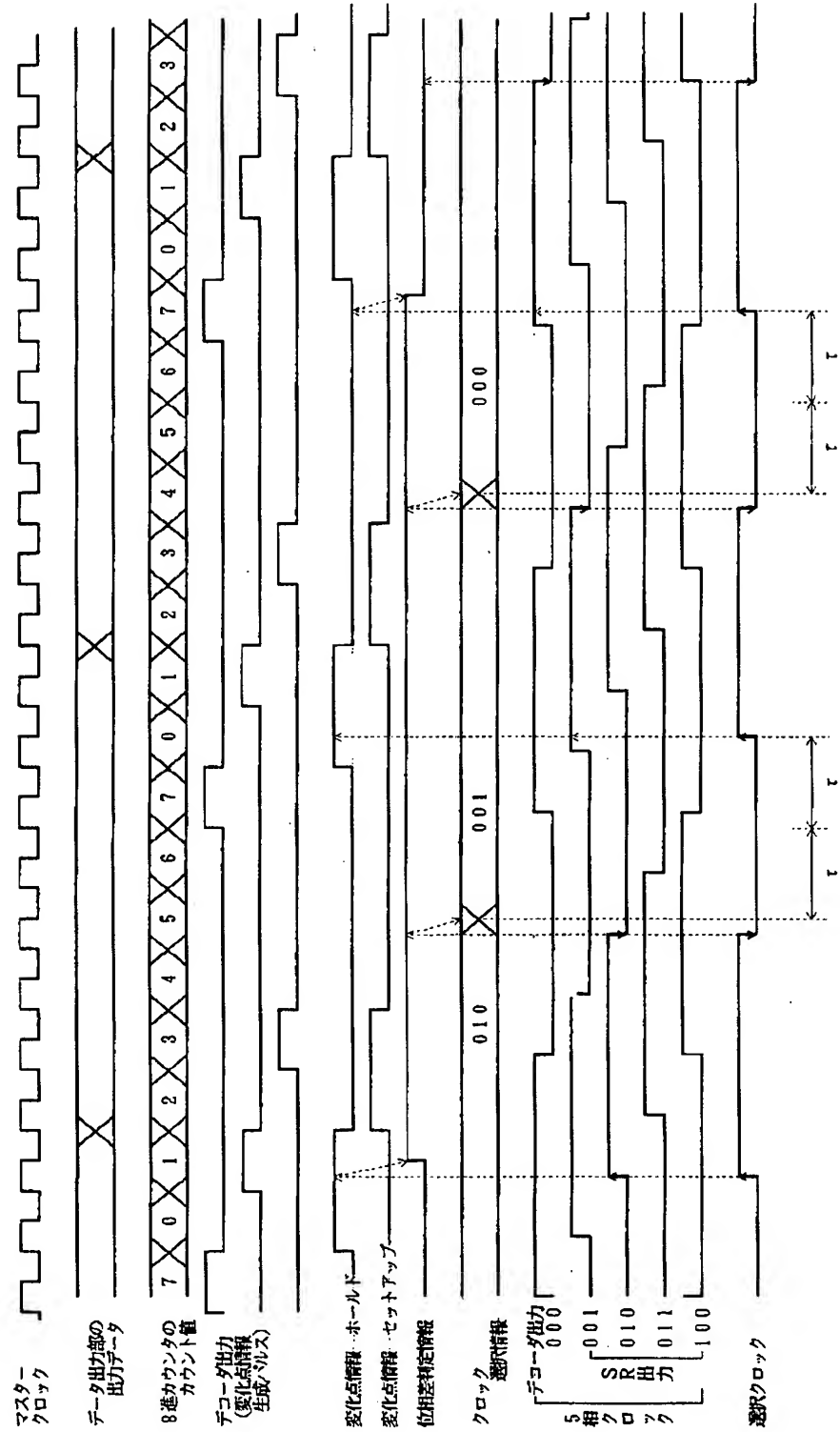


(ロ) 1/2分周クロックがデータより進んでいる場合



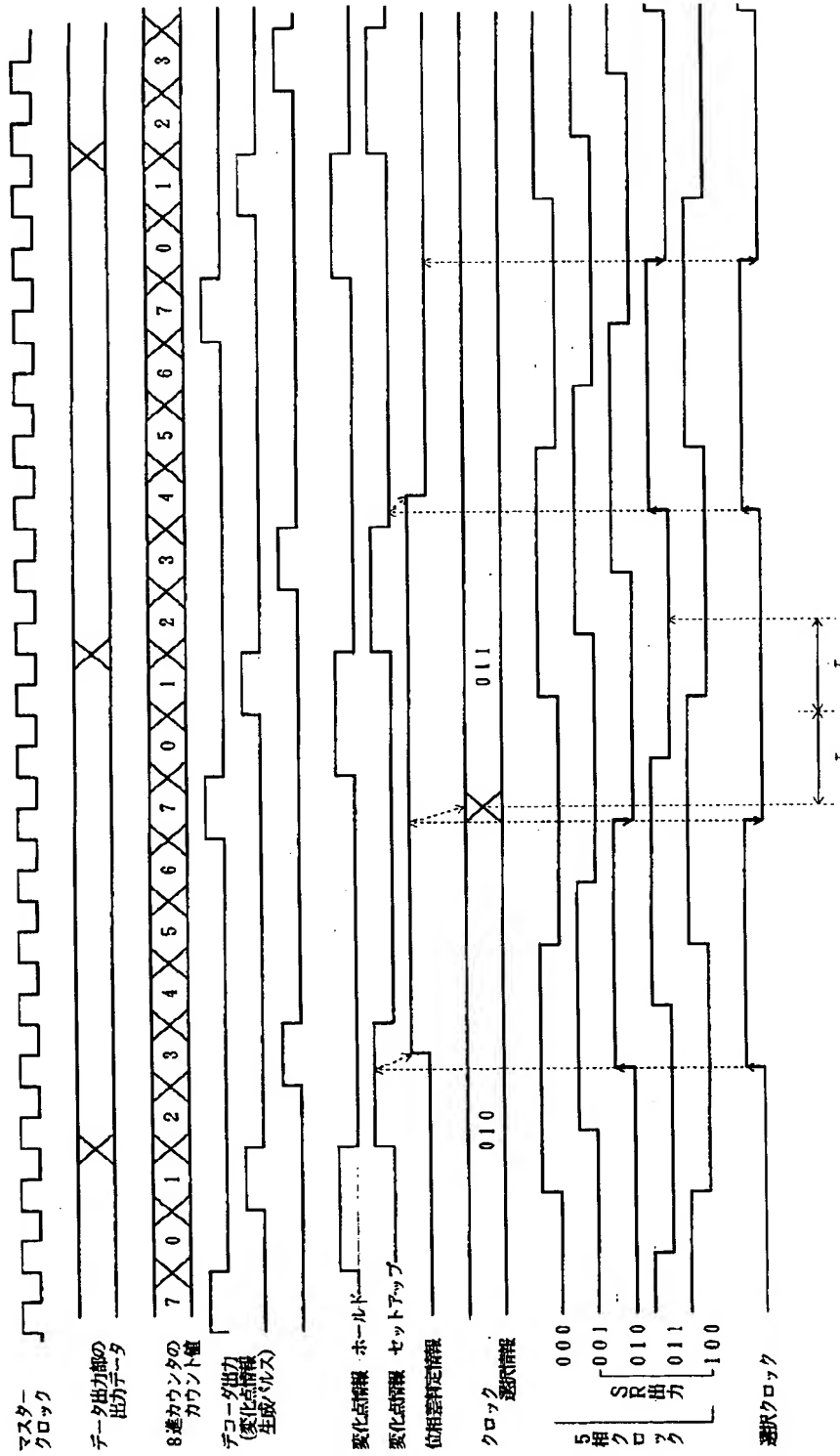
【図11】

図10の構成のタイムチャート(その1)

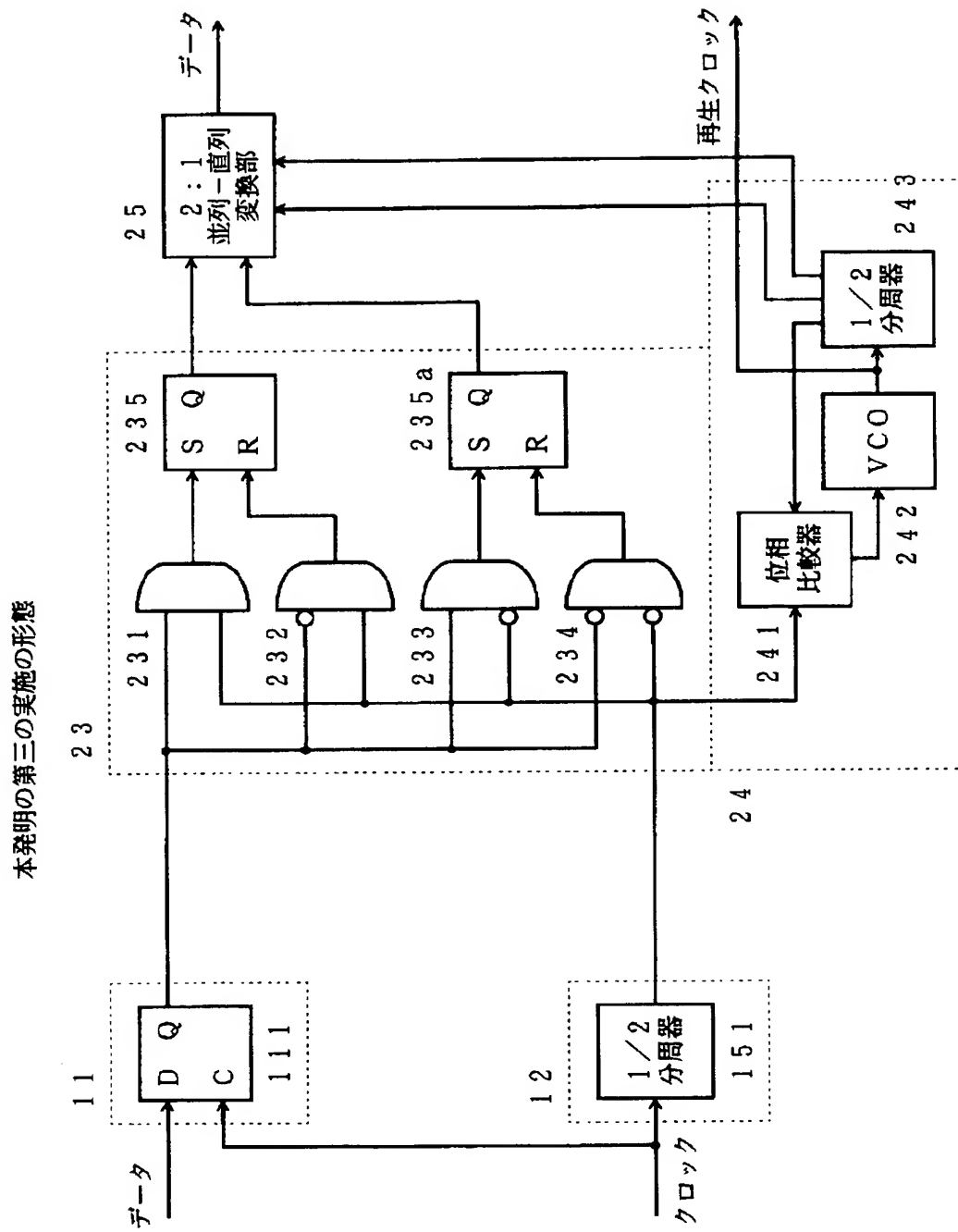


【図 1 2】

図 1 0 の構成のタイムチャート (その 2)

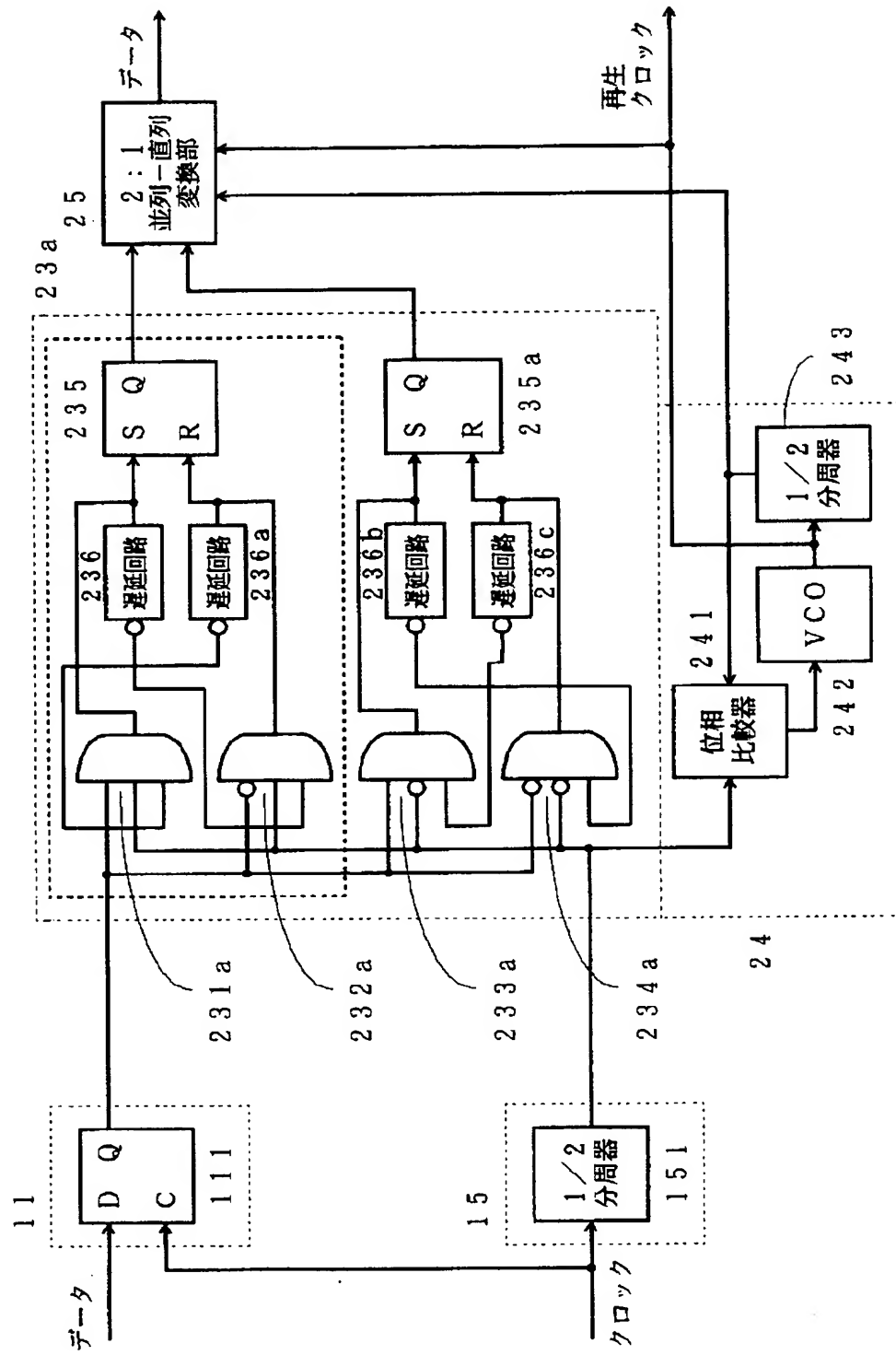


【図 1 3】



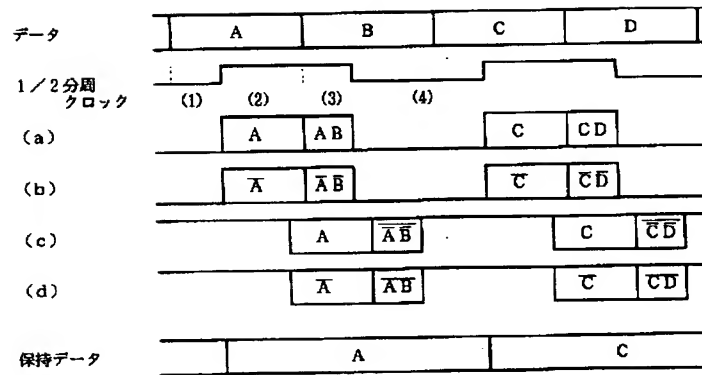
【図16】

本発明の第四の実施の形態



【図 17】

図 16 の太い破線で囲んだ部分の動作



フロントページの続き

(51) Int.Cl.⁶

H 0 4 L 25/40

識別記号

庁内整理番号

F I

G 0 6 F 1/04

技術表示箇所

3 4 0 D

(72) 発明者 木下 充

大阪府大阪市中央区城見 2 丁目 2 番 6 号
 富士通関西デジタル・テクノロジー株式会
 社内

(72) 発明者 中江 由美子

大阪府大阪市中央区城見 2 丁目 2 番 6 号
 富士通関西デジタル・テクノロジー株式会
 社内